

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-274645
(P2001-274645A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 3 G 3/12		H 0 3 G 3/12	A 5 J 0 9 0
H 0 3 F 1/34		H 0 3 F 1/34	5 J 1 0 0

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-84804 (P2000-84804)

(22) 出願日 平成12年3月24日 (2000.3.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大塚 健志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 和田 淳

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

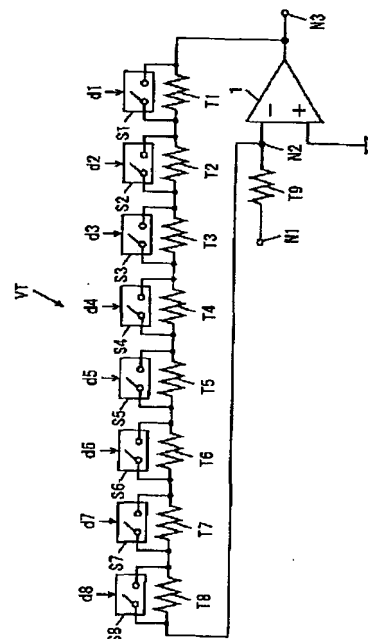
最終頁に続く

(54) 【発明の名称】 演算増幅回路および集積回路

(57) 【要約】

【課題】 回路面積を小さくできるとともに、周波数特性に優れた演算増幅回路およびこの演算増幅回路を用いた集積回路を提供すること。

【解決手段】 演算増幅器1の反転入力端子と端子N1との間には抵抗T9が接続され、非反転入力端子は所定の基準電圧を受ける。演算増幅器1の反転入力端子と出力端子との間には負帰還ループを構成する可変抵抗回路VTの抵抗T1およびスイッチS1が出力端子に接続され、抵抗T8およびスイッチS8が反転入力端子に接続されている。可変抵抗回路VTは、端子N3側から抵抗T1～T8の抵抗値が順次大きくなり、反転入力端子に接続される抵抗T8の抵抗値が最も大きくなっている。こうすることで、最後の抵抗T8の先には一つのノードしか存在せず、寄生容量も最も小さくなるので、演算増幅回路の周波数特性を向上させることができる。



1

【特許請求の範囲】

【請求項1】 少なくとも一つの抵抗の抵抗値が異なり、直列に接続されるN（Nは2以上の整数）個の抵抗と前記N個の抵抗の各々に並列に接続されるN個のスイッチとを有し、前記N個のスイッチをオン／オフすることにより抵抗値を変化させる可変抵抗回路と、前記可変抵抗回路が接続される演算増幅器とを備え、前記可変抵抗回路は、前記演算増幅器の入力端子に接続され、前記N個の抵抗のうち最も抵抗値の大きい抵抗が前記入力端子側に配置されることを特徴とした演算増幅回路。

【請求項2】 前記N個の抵抗を抵抗値の順に配列したことを特徴とする請求項1に記載の演算増幅回路。

【請求項3】 前記N個の抵抗の各抵抗値は、 $R \times 2^i$ （ Ω ）（ i は0～（N-1）の整数）に設定されることを特徴とした請求項1又は2に記載の演算増幅回路。

【請求項4】 前記可変抵抗回路は、前記最も抵抗値の大きい抵抗と前記入力端子との間に配置された固定抵抗を含むことを特徴とする請求項1乃至3のいずれか1項に記載の演算増幅回路。

【請求項5】 前記スイッチは、CMOSスイッチからなることを特徴とする請求項1乃至4のいずれか1項に記載の演算増幅回路。

【請求項6】 前記可変抵抗回路は、前記演算増幅器の帰還ループを構成する抵抗回路として使用され、前記可変抵抗回路の抵抗値に応じて増幅率を変化させることを特徴とする請求項1乃至5のいずれか1項に記載の演算増幅回路。

【請求項7】 前記可変抵抗回路を介して前記演算増幅器に入力信号を入力し、前記演算増幅器の帰還ループを構成する抵抗回路には固定抵抗を用いてプログラマブルゲインアンプを構成したことを特徴とする請求項1乃至5のいずれか1項に記載の演算増幅回路。

【請求項8】 請求項1乃至7のいずれか1項に記載の演算増幅回路を含み、光ピックアップからの出力信号を増幅する増幅回路を更に備え、前記増幅回路と他の回路とがCMOS集積回路により1チップ化して形成されることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、直列に接続される複数の抵抗の各々に並列に接続される複数のスイッチをオン／オフすることにより抵抗値を変化させる可変抵抗回路を用いた演算増幅回路、およびこの演算増幅回路を用いた集積回路に関するものである。

【0002】

【従来の技術】 近年、CD（Compact Disc）ドライブ、CD-ROM（Compact Disc Read Only Memory）ドライブ等の光ディスクドライブ装置が一般に普及し、これらの光ディスクドライブ装置に用いられる種々の半導体集積回路が開発されている。図8は、従来のCD-ROM

2

Mドライブに用いられる半導体集積回路の構成を示すブロック図である。

【0003】 図8に示す回路は、複数の半導体集積回路から構成され、信号処理回路200、RF（Radio Frequency）アンプ220、駆動回路230、マイコン（マイクロコンピュータ）240およびDRAM（Dynamic Random Access Memory）250を備える。信号処理回路200は、DSP（Digital Signal Processor）201、DAC（Digital Analog Converter）202、サーボ回路203およびエラー訂正回路204を含む。RFアンプ220は、バイポーラ集積回路により別部品で構成され、信号処理回路200は、CMOS（Complementary Metal Oxide Semiconductor）集積回路により1チップ化されている。

【0004】 光ピックアップ210によりCD-ROMディスク上に記録されたデータがRF信号に変換され、RFアンプ220へ出力される。RFアンプ220は、入力されたRF信号から再生信号（EFM（Eight to Fourteen Modulation）信号）、フォーカスエラー信号およびトラッキングエラー信号等を生成し、信号処理回路200へ出力する。

【0005】 信号処理回路200は、DSP201およびサーボ回路203によりフォーカスエラー信号およびトラッキングエラー信号等から光ピックアップ210を制御するための制御信号を作成し、駆動回路230へ出力する。駆動回路230は、入力された制御信号に応じて光ピックアップ210内のアクチュエータを駆動し、良好なRF信号を再生するように光ピックアップ210が制御される。

【0006】 また、信号処理回路200は、エラー訂正回路204によりDRAM250を用いて再生データのエラー訂正を行い、音声信号を再生する場合はDAC202により再生データをアナログ信号へ変換して出力する。マイコン240は、ドライブ全体の動作を制御するシステムコントローラとして機能し、必要に応じて信号処理回路200とデータ等を送受信し、CD-ROMドライブの種々の動作が実行される。

【0007】 上記のように構成されたCD-ROMドライブのRFアンプ220は、CD、CD-ROM、CD-RW（Compact Disc Rewritable）等の種々の光ディスクを再生するため、種々のレベルのRF信号に対応するために内部でRF信号の増幅率を種々変化させている。このため、RFアンプ220内には、RF信号の増幅率を変化させるPGA（プログラマブルゲインアンプ）等が備えられ、ゲイン調整用に種々の抵抗値に設定可能な可変抵抗回路が用いられている。

【0008】 図9は、従来の可変抵抗回路の構成を示す回路図である。図9に示す可変抵抗回路は、デコード回路300、スイッチSW0～SW255、抵抗TR0～TR255を含む。256個の抵抗TR0～TR255

3

は、直列に接続され、すべての抵抗 $TR0 \sim TR255$ の抵抗値は $R(\Omega)$ に設定され、各抵抗 $TR0 \sim TR255$ は同一の抵抗である。スイッチ $SW0 \sim SW255$ の各々は、対応する抵抗 $TR0 \sim TR255$ に並列に接続され、各スイッチ $SW0 \sim SW255$ は同一のスイッチである。スイッチ $SW0 \sim SW255$ がオンすることにより当該スイッチが接続されている抵抗がバイパスされ、可変抵抗回路の抵抗値が変化する。

【0009】デコード回路300には、8ビットの制御信号 $d1 \sim d8$ が入力され、制御信号 $d1$ は、最下位ビットを表す制御信号であり、制御信号 $d8$ は、最上位ビットを表す制御信号であり、制御信号 $d1 \sim d8$ により0～255の各値を表すことができる。デコード回路300は、8ビットの制御信号 $d1 \sim d8$ をデコードし、スイッチ $SW0 \sim SW255$ をオン／オフして8ビットの制御信号 $d1 \sim d8$ が表すデータに対応する抵抗値を設定するための制御信号をスイッチ $SW0 \sim SW255$ へ出力する。

【0010】スイッチ $SW0 \sim SW255$ は、デコード回路300から出力される制御信号によりそれぞれオン／オフし、オンしたスイッチは、抵抗をバイパスする。したがって、8ビットの制御信号 $d1 \sim d8$ に応じて256個の抵抗 $TR0 \sim TR255$ のうち任意の抵抗をバイパスすることにより、可変抵抗回路の抵抗値が、0(Ω)、 $R(\Omega)$ 、 $2R(\Omega)$ 、…、 $255R(\Omega)$ のうちの任意の抵抗値に設定される。

【0011】

【発明が解決しようとする課題】上記のように、図9に示す可変抵抗回路では、8ビットの分解能を実現するために、256個の抵抗 $TR0 \sim TR255$ およびスイッチ $SW0 \sim SW255$ が必要となり、さらに8ビットの制御信号 $d1 \sim d8$ をデコードするデコード回路300も必要となる。したがって、可変抵抗回路の回路面積が非常に大きくなり、このように回路面積の大きい可変抵抗回路を他の回路と集積化する場合、集積回路の面積が増大する。

【0012】本発明の目的は、回路面積を小さくすることができるとともに、周波数特性に優れた演算増幅回路およびこの演算増幅回路を用いた集積回路を提供することにある。

【0013】

【課題を解決するための手段】本発明における演算増幅回路は、少なくとも一つの抵抗の抵抗値が異なり、直列に接続される N (N は2以上の整数)個の抵抗と前記 N 個の抵抗の各々に並列に接続される N 個のスイッチとを有し、前記 N 個のスイッチをオン／オフすることにより抵抗値を変化させる可変抵抗回路と、前記可変抵抗回路が接続される演算増幅器とを備え、前記可変抵抗回路は、前記演算増幅器の入力端子に接続され、前記 N 個の抵抗のうち最も抵抗値の大きい抵抗が前記入力端子側に

4

配置されることをその要旨とする。

【0014】すなわち、 N 個の抵抗が直列に接続され、スイッチが N 個の抵抗の各々に並列に接続され、スイッチをオンすることによりオンされたスイッチに接続される抵抗がバイパスされ、抵抗値が変化する。このとき、 N 個の抵抗のうち少なくとも一つの抵抗の抵抗値が異なるため、バイパスされる抵抗の組み合わせを変更することにより抵抗の数以上の種々の抵抗値を設定することができ、小さい回路面積で多くの抵抗値を設定することができる。

【0015】また、スイッチにより各抵抗を結合するノードに寄生容量が形成され、この寄生容量と各抵抗による CR 時定数による影響を受けるが、入力端子に接続される抵抗の抵抗値が最も大きいので、最も抵抗値が大きい抵抗に作用する寄生容量が最も小さくなり、トータルとして可変抵抗回路自体の CR 時定数を小さくすることができ、周波数特性の良好な演算増幅回路を実現することができる。

【0016】この場合、前記 N 個の抵抗を抵抗値の順に配列することが望ましい。こうすることで、スイッチの寄生要領と抵抗による CR 時定数の影響を軽減し、周波数特性の劣化を防ぐことができる。また、前記 N 個の抵抗の各抵抗値は、 $R \times 2^i(\Omega)$ (i は0～($N-1$))の整数)に設定されることが望ましい。こうすることで、 N 個の抵抗により 2^N 通りの抵抗値を設定することができるので、可変抵抗回路の回路面積を非常に小さくすることができるとともに、 N ビットの制御信号により 2^N 通りの抵抗値のうち任意の抵抗値に設定することができるので、可変抵抗回路の制御が容易となる。

【0017】ここで、前記可変抵抗回路は、前記最も抵抗値の大きい抵抗と前記入力端子との間に配置された固定抵抗を含むことが望ましい。また、前記スイッチは、CMOSスイッチからなることが望ましい。また、前記可変抵抗回路は、前記演算増幅器の帰還ループを構成する抵抗回路として使用され、前記可変抵抗回路の抵抗値に応じて増幅率を変化させることが望ましい。こうすることで、周波数特性の良好な可変抵抗回路の抵抗値に応じて増幅率を変化させているので、高精度に増幅率を設定することができるとともに、可変抵抗回路の回路面積が小さいので、演算増幅回路の回路面積も小さくすることができる。

【0018】また、前記可変抵抗回路を介して前記演算増幅器に入力信号を入力し、前記演算増幅器の帰還ループを構成する抵抗回路には固定抵抗を用いてプログラマブルゲインアンプを構成しても良い。こうすることで、帰還ループにおいてスイッチによる特性悪化の影響がなくなり、高周波でのブーストを押さえることができる。また、本発明の集積回路は、請求項1乃至4のいずれか1項に記載の演算増幅回路を含み、光ピックアップからの出力信号を増幅する増幅回路を備え、前記増幅回路と他

5

の回路とがCMOS集積回路により1チップ化して形成されることをその要旨とする。こうすることで、光ピックアップからの出力信号を増幅する増幅回路の周波数特性が良好になるとともに、回路面積を小さくすることができる上に、周波数特性が良好でかつ省面積化された増幅回路を含む光ディスクドライブ装置用の1チップCMOS集積回路を実現することができる。

【0019】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1の実施形態を図面に基づいて説明する。図1は、本発明の一実施の形態による可変抵抗回路の構成を示す回路図である。

【0020】図1において、可変抵抗回路VTは、抵抗T1～T8およびスイッチS1～S8を含む。抵抗T1は、端子N1と抵抗T2との間に接続され、抵抗T1には並列にスイッチS1が接続される。以降同様に、並列に接続された抵抗T2～T8およびスイッチS2～S8が直列に接続される。スイッチS1～S8には、8ビットの制御信号d1～d8が入力され、制御信号d1～d8に応じてスイッチS1～S8がオン/オフする。

【0021】抵抗T1の抵抗値はR(Ω)であり、抵抗T2の抵抗値は2R(Ω)であり、以降、抵抗T3～T8の各抵抗値は順次2倍に設定される。すなわち、抵抗T1～T8の各抵抗値は、 $R \times 2^i$ (i=0～7)

(Ω)に設定される。また、オンしたときのスイッチS1～S8の各寄生抵抗の抵抗値は、 $r \times 2^i$ (i=0～7) (Ω)に設定される。したがって、各抵抗T1～T8の抵抗値と当該抵抗に並列に接続されるスイッチS1～S8の寄生抵抗の抵抗値は比例する。

【0022】制御信号d1～d8は8ビットのデータに対応し、制御信号d1が最下位ビットに対応する信号であり、制御信号d8が最上位ビットに対応する信号であり、制御信号d1～d8により、0～255の各値を表すことができる。制御信号d1～d8が1のとき、スイッチS1～S8はオフし、0のときスイッチS1～S8はオンし、オンしたスイッチに接続される抵抗がバイパスされる。

【0023】例えば、制御信号d1～d8として1、1、1、1、1、1、1、1がスイッチS1～S8に入力されると、スイッチS1～S8はすべてオフし、可変抵抗回路VTの抵抗値は、抵抗T1～T8の抵抗値が加算され、255R(Ω)となる。制御信号d1～d8として0、1、1、1、1、1、1、1が入力されると、スイッチS1がオンし、スイッチS2～S8はオフする。このとき、抵抗T2～T8は直列に接続され、この部分の抵抗値は254R(Ω)となり、スイッチS1および抵抗T1の合成抵抗値は $r \times R / (r + R)$ (Ω)となり、可変抵抗回路VTの抵抗値は $254R + r \times R / (r + R)$ (Ω)となる。

【0024】制御信号d1～d8として1、0、1、

6

1、1、1、1、1が入力されると、可変抵抗回路VTの抵抗値は $253R + 2r \times R / (r + R)$ (Ω)となり、以降同様に制御信号d1～d8に応じて可変抵抗回路VTの抵抗値が変化し、1、0、0、0、0、0、0、0が入力されると、可変抵抗回路VTの抵抗値は $R + 254r \times R / (r + R)$ (Ω)となり、0、0、0、0、0、0、0、0が入力されると、可変抵抗回路VTの抵抗値は $255r \times R / (r + R)$ (Ω)となる。

【0025】上記のように、可変抵抗回路VTの抵抗値は、制御信号d1～d8に応じて $R - r \times R / (r + R)$ (Ω)ずつ変化する。このように、可変抵抗回路VTの抵抗値は、 $R - r \times R / (r + R)$ (Ω)の一定の割合で変化し、線形性を確保することができる。また、8個の抵抗T1～T8により 2^8 通りの抵抗値を設定することができるので、可変抵抗回路VTの回路面積を非常に小さくできるとともに、8ビットの制御信号d1～d8により 2^8 通りの抵抗値のうち任意の抵抗値に設定することができるので、可変抵抗回路VTの抵抗値を容易に制御することができる。

【0026】なお、上記の説明では、8個の抵抗およびスイッチを用いたが、直列に接続される抵抗およびスイッチの数は上記の例に特に限定されず、可変すべき抵抗値等に応じて他の数の抵抗およびスイッチを用いてもよい。また、各抵抗の抵抗値も上記の例に特に限定されず、可変すべき抵抗値等に応じて種々の抵抗値を用いることができ、その配列も上記のように、端子N1から端子N2へ順次増加させる配列に特に限定されず、各抵抗を異なる位置に配列してもよい。また、寄生抵抗の抵抗値は、抵抗の抵抗値に完全に比例しなくても、抵抗の抵抗値に対して比例に類似する正の相関を持つようにしてもよい。

【0027】図2は、図1に示すスイッチS1～S8の一例を示す回路図である。図2に示すスイッチSiは、Nチャネル型MOS電界効果トランジスタ（以下、NMOSTランジスタという）Q1、Pチャネル型MOS電界効果トランジスタ（以下、PMOSTランジスタという）Q2およびインバータI1を含む。NMOSTランジスタQ1およびPMOSTランジスタQ2は、端子N11と端子12との間に接続され、NMOSTランジスタQ1のゲートにはインバータI1を介して制御信号di (i=1～8)が入力され、PMOSTランジスタQ2のゲートには制御信号diが入力され、CMOSスイッチが構成される。したがって、制御信号diとして1が入力されると、NMOSTランジスタQ1およびPMOSTランジスタQ2がオフし、0が入力されるとオンする。

【0028】上記のように構成されたCMOSスイッチを図1に示すスイッチS1～S8に用いる場合、NMOSTランジスタQ1およびPMOSTランジスタQ2の

10

20

30

40

50

7

ゲート長は一定にし、ゲート幅 W を変化させ、スイッチの寄生抵抗の抵抗値を上記のように設定している。すなわち、スイッチ $S1$ のNMOSトランジスタ $Q1$ およびPMOSトランジスタ $Q2$ のゲート幅を W とした場合、スイッチ $S2$ のNMOSトランジスタ $Q1$ およびPMOSトランジスタ $Q2$ のゲート幅は $W/2$ に設定され、スイッチ $S3$ のNMOSトランジスタ $Q1$ およびPMOSトランジスタ $Q2$ のゲート幅は $W/4$ に設定され、以降同様にゲート幅が順次2分の1に設定される。このようにゲート幅を変化させることにより、各CMOSスイッチの寄生抵抗の抵抗値を、 $r \times 2^i$ ($i=0 \sim 7$)

(Ω)に設定することができる。

【0029】また、上記のように、スイッチ $S1 \sim S8$ をトランジスタで構成する場合、可変抵抗回路 VT の線形性は、寄生抵抗の抵抗値の大きさに依存しないため、トランジスタサイズを特別大きくする必要がなくなり、可変抵抗回路の回路面積を小さくすることができる。なお、スイッチ $S1 \sim S8$ は、上記のCMOSスイッチに特に限定されず、オンしたときの寄生抵抗の抵抗値を接続される抵抗の抵抗値に応じて設定できるものであれば、他のスイッチを用いてもよい。また、トランジスタのゲート幅は、抵抗の抵抗値に完全に逆比例しなくても、抵抗の抵抗値に対して逆比例に類似する負の相関を持つようにしてもよい。

【0030】図3は、図1に示す可変抵抗回路を用いた演算増幅回路の一例を示す図である。図3に示す演算増幅回路は、可変抵抗回路 VT 、演算増幅器1および抵抗 $T9$ を含む。図3において、演算増幅器1の反転入力端子と端子 $N1$ との間には抵抗 $T9$ が接続され、非反転入力端子は所定の基準電圧を受ける。また、演算増幅器1の反転入力端子と出力端子との間には負帰還ループを構成する図1に示す可変抵抗回路 VT が接続され、抵抗 $T1$ およびスイッチ $S1$ が出力端子に接続され、抵抗 $T8$ およびスイッチ $S8$ が反転入力端子に接続されている。

【0031】上記の構成により、図3に示す演算増幅回路では、可変抵抗回路 VT の抵抗値を VR とし、抵抗 $T9$ の抵抗値を Rf とすると、端子 $N1$ に入力される信号は、 VR/Rf の増幅率で増幅され、端子 $N3$ から出力される。このとき、可変抵抗回路 VT は、制御信号 $d1 \sim d8$ に応じて256段階で抵抗値 VR を良好な線形性で変化させることができるので、端子 $N1$ から入力される信号を高精度に増幅して端子 $N3$ から出力することができる。

【0032】また、端子 $N3$ 側から抵抗 $T1 \sim T8$ の抵抗値が順次大きくなり、反転入力端子に接続される抵抗 $T8$ の抵抗値が最も大きくなっている。このとき、各抵抗 $T1 \sim T8$ を結合するノードに各スイッチ $S1 \sim S8$ により寄生容量が形成され、抵抗の抵抗値が大きいと CR 時定数が大きくなり、演算増幅回路の周波数特性が悪化する。

8

【0033】しかしながら、図3に示す演算増幅回路では、上記のように各抵抗 $T1 \sim T8$ が配列されているため、演算増幅器の出力端子から帰還される信号は、抵抗値の小さい抵抗 $T1$ から順に伝達されていく。このとき、最初の抵抗 $T1$ の先には複数のノードが存在し、寄生容量が最も大きくなるが、最後の抵抗 $T8$ の先には一つのノードしか存在せず、寄生容量も最も小さくなる。したがって、抵抗値が最も大きい抵抗 $T8$ に作用する寄生容量を最も小さくすることができ、トータルとして可変抵抗回路自体の CR 時定数を小さくすることができ、演算増幅回路の周波数特性を向上させることができる。

【0034】図4は、可変抵抗回路 VT において、最後の抵抗（演算増幅器の反転入力端子に接続される抵抗）を、抵抗値が最も小さい抵抗 $T1$ とした場合（従来）と、抵抗値が最も大きい抵抗 $T8$ とした場合（本発明）との周波数特性を測定した結果を示している。同図から明らかなように、本発明にあっては、高周波領域における特性劣化が改善される。

【0035】図5は、図3に示す演算増幅回路を用いたRFアンプのトラッキング系の信号処理部の構成を示す回路図である。なお、図5では、非点収差法を用いたフォーカスサーボを行うために中心部に設けられた4分割光検出部と、3ビーム法によるトラッキングサーボを行うために4分割光検出部の両側に設けられた2つの光検出部とからなる光検出部を用いた光ピックアップから出力される各信号を処理するCD-ROMドライブ用のRFアンプのうち、トラッキングサーボを行うためにトラッキングサーボ用の一方の光検出部からのトラッキング信号 E から他方の光検出部のトラッキング信号 F を減算してトラッキングエラー信号 TE を出力する部分を示している。

【0036】図5に示すRFアンプは、抵抗 $T11 \sim T23$ 、演算増幅器 $11 \sim 18$ 、可変抵抗回路 $VT11 \sim VT15$ 、コンデンサ $C11$ 、 $C12$ および可変コンデンサ $VC11$ を含む。抵抗 $T11$ の一端は、端子 $N11$ に接続され、一方の光検出部からトラッキング信号 E を受ける。演算増幅器 11 の反転入力端子は抵抗 $T11$ の他端に接続され、非反転入力端子はシフト電圧 $VREF1$ を受ける端子 $N13$ に接続され、反転入力端子と出力端子との間には抵抗 $T13$ が接続される。これにより、端子 $N11$ から入力されるトラッキング信号 E をシフト電圧 $VREF1$ により5V系の信号から3V系の信号にシフトするレベルシフト回路が構成される。

【0037】演算増幅器 11 の出力端子と演算増幅器 13 の反転入力端子との間には可変抵抗回路 $VT11$ が接続され、演算増幅器 13 の非反転入力端子は所定の基準電圧を受け、演算増幅器 13 の反転入力端子と出力端子との間には抵抗 $T15$ が接続される。可変抵抗回路 $VT11$ は、複数の抵抗を用いて図1に示す可変抵抗回路と同様に構成され、可変抵抗回路 $VT11$ の抵抗値として

9

4種類の抵抗値を設定することができる。

【0038】これにより、プログラマブルゲインアンプが構成され、プログラマブルゲインアンプの増幅率として、0 dB、6 dB、14 dB、20 dBの増幅率を設定することができる。したがって、図5に示すRFアンプでは、増幅率を6 dB切り替えることにより300 mVおよび600 mVの信号を出力する2種類の光ピックアップに対応することができるとともに、増幅率を14 dB切り替えることによりCD-RWドライブ用の光ピックアップにも対応することができる。

【0039】演算増幅器13の出力端子と演算増幅器15の反転入力端子との間には抵抗T17が接続され、演算増幅器15の非反転入力端子は所定の基準電圧を受け、演算増幅器15の反転入力端子と出力端子との間には可変抵抗回路VT13が接続されている。可変抵抗回路VT13は、図1に示す可変抵抗回路と同様に構成され、8ビットの制御信号に応じて抵抗値を256段階切り替えることができる。これにより、バランス回路が構成され、8ビットの制御信号に応じて0 dB～6 dBの範囲を256段階で切り替えることができる。

【0040】抵抗T12の一端は、端子N12に接続され、他方の光検出部からトラッキング信号Fを受ける。演算増幅器12の反転入力端子は抵抗T12の他端に接続され、非反転入力端子はシフト電圧VREF1を受ける端子N13に接続され、反転入力端子と出力端子との間には抵抗T14が接続される。これにより、端子N12から入力されるトラッキング信号Fをシフト電圧VREF1により5 V系の信号から3 V系の信号にシフトするレベルシフト回路が構成される。

【0041】演算増幅器12の出力端子と演算増幅器14の反転入力端子との間には可変抵抗回路VT12が接続され、演算増幅器14の非反転入力端子は所定の基準電圧を受け、演算増幅器14の反転入力端子と出力端子との間には抵抗T16が接続される。可変抵抗回路VT12は、可変抵抗回路VT11と同様に構成され、可変抵抗回路VT12の抵抗値として4種類の抵抗値が設定できる。これにより、プログラマブルゲインアンプが構成され、プログラマブルゲインアンプの増幅率として、0 dB、6 dB、14 dB、20 dBの増幅率を設定することができる。

【0042】演算増幅器14の出力端子と演算増幅器16の反転入力端子との間には抵抗T18が接続され、演算増幅器16の非反転入力端子は外部から設定可能な基準電圧VDA2を受ける端子N25に接続され、演算増幅器16の反転入力端子と出力端子との間には可変抵抗回路VT14が接続されている。可変抵抗回路VT14は、可変抵抗回路VT13と同様に構成され、8ビットの制御信号に応じて抵抗値を256段階切り替えることができる。これにより、バランス回路が構成され、8ビットの制御信号に応じて0 dB～6 dBの範囲を256

10

段階で切り替えることができる。

【0043】演算増幅器15の出力端子と演算増幅器17の非反転入力端子との間には抵抗T19が接続され、演算増幅器17の反転入力端子と非反転出力端子との間にはコンデンサC11および抵抗T21が接続され、演算増幅器16の出力端子と演算増幅器17の非反転入力端子との間には抵抗T20が接続され、演算増幅器17の非反転入力端子と反転出力端子との間には抵抗T22およびコンデンサC12が接続され、演算増幅器17の反転出力端子は所定の基準電圧を受ける。これにより、減算回路が構成され、演算増幅器16の出力から演算増幅器15の出力を減算した信号が演算増幅器17の非反転出力端子から出力される。

【0044】演算増幅器17の非反転出力端子と演算増幅器18の反転入力端子との間には可変抵抗回路VT15が接続され、演算増幅器18の非反転入力端子は所定の基準電圧を受け、演算増幅器18の反転入力端子と出力端子との間には可変コンデンサVC11および抵抗T23が接続される。可変抵抗回路VT15は、複数の抵抗を用いて図1に示す可変抵抗回路と同様に構成され、4ビットの制御信号に応じて抵抗値を16段階切り替えることができる。また、可変コンデンサVC11は、その容量として2種類の容量を設定することができるように構成されている。

【0045】これにより、プログラマブルゲインアンプが構成され、4ビットの制御信号に応じて-6 dB～6 dBの範囲を16段階で切り替えることができるとともに、2種類の周波数特性を設定することができる。上記の構成により、一方の光検出部のトラッキング信号Eは、レベルシフト回路として機能する演算増幅器11によりシフト電圧VREF1により5 V系の信号から3 V系の信号にシフトされ、プログラマブルゲインアンプとして機能する演算増幅器13により0 dB、6 dB、14 dB、20 dBのいずれかの増幅率により増幅され、バランス回路として機能する演算増幅器15により0 dB～6 dBの範囲で256段階のいずれかのレベルでバランス調整され、他方の光検出部の出力信号Fも上記と同様に処理される。

【0046】このようにして、レベル等が調整された出力信号E、Fは、減算回路として機能する演算増幅器17により減算され、最後に、演算増幅器18により-6 dB～6 dBの範囲で16段階のいずれかの増幅率で増幅され、トラッキングエラー信号TEが出力される。また、図示を省略したフォーカス系の信号処理部も上記と同様に構成され、4分割光検出部の出力信号A、B、C、Dを用いて $(A+C) - (B+D)$ を演算し、フォーカスエラー信号FEが出力される。

【0047】上記のように、図5に示すRFアンプでは、多くの可変抵抗回路を用いており、本発明の可変抵抗回路を用いることにより、可変抵抗回路を省面積化す

ることができるとともに、抵抗値を高精度に設定することができる。したがって、RFアンプ自体を省面積化することができるとともに、高精度化することができる。なお、上記の説明では、負帰還ループを構成する抵抗に可変抵抗回路VTを用いる場合の各抵抗の配列について説明したが、上記と同様の理由により入力抵抗として可変抵抗回路VTを用いる場合も反転入力端子に接続される抵抗の抵抗値を最も大きくすることが好ましい。すなわち、図5における可変抵抗回路VT11、VT12、VT15においては、抵抗値が最も大きい抵抗T8が次
10 段の演算増幅器の反転入力端子に接続されている。

【0048】図6は、図5に示すRFアンプを含むCD-ROMドライブ用半導体集積回路の構成を示すブロック図である。図6に示す半導体集積回路100は、RFアンプ101、DSP102、DAC103、サーボ回路104、マイコン105、エラー訂正回路106およびDRAM107を含む。

【0049】半導体集積回路100は、RFアンプ101、DSP102、DAC103、サーボ回路104、マイコン105、エラー訂正回路106およびDRAM
20 107をCMOSプロセスにより集積化して1チップ化したCMOS集積回路である。なお、DRAM107は、コスト的な観点から、別チップとし、RFアンプ101、DSP102、DAC103、サーボ回路104、マイコン105およびエラー訂正回路106をCMOS集積回路として1チップ化し、これらを同一パッケージ内に封止するようにしてもよい。

【0050】光ピックアップ110によりCD-ROMディスク上に記録されたデータがRF信号に変換され、RFアンプ101へ出力される。RFアンプ101は、
30 図4に示すRFアンプと同様に構成され、入力されたRF信号から上記の処理によりフォーカスエラー信号、トラッキングエラー信号および再生信号(EFM(Eight to Fourteen Modulation)信号)等を生成し、DSP102へ出力する。

【0051】DSP102およびサーボ回路104は、フォーカスエラー信号およびトラッキングエラー信号等から光ピックアップ110を制御するための制御信号を作成し、駆動回路120へ出力する。駆動回路120
40 は、入力された制御信号に応じて光ピックアップ110内のアクチュエータを駆動し、良好なRF信号を再生するように光ピックアップ110が制御される。

【0052】エラー訂正回路106は、DRAM107を用いて再生データのエラー訂正を行い、音声信号を再生する場合はDAC103により再生データをアナログ信号へ変換して出力する。マイコン240は、ドライブ全体の動作を制御するシステムコントローラとして機能し、必要に応じてDSP102等とデータ等を送受信し、CD-ROMドライブの種々の動作が実行される。

【0053】上記のように、図6に示す半導体集積回路
50

100では、省面積かつ高精度なRFアンプ101を用いることにより、他のブロックを含めてCMOSプロセスにより1チップ化することができ、小型でかつ高性能なCD-ROM用の1チップCMOS集積回路を実現することができる。なお、上記の説明では、CD-ROMドライブの回路を例に説明したが、本発明の可変抵抗回路等が適用される回路は、この例に特に限定されず、省面積かつ高精度が要求される種々の回路に同様に適用することができ、同様の効果を得ることができる。

(第2実施形態) 本発明を具体化した第2の実施形態を図面に基いて説明する。図7は、本第2実施形態による可変抵抗回路の構成を示す回路図である。本第2実施形態が第1実施形態と異なるのは、可変抵抗回路VTにおいて、抵抗T8に直列に抵抗T0が設けられている点のみであり、その他の構成は第1実施形態と同様である。尚、T0はスイッチが並列に接続されていない固定抵抗である。

【0054】すなわち、本第2実施形態の可変抵抗回路VTを図3に示す演算増幅回路に適用した場合、抵抗T0は、抵抗T8と演算増幅器1の反転入力端子との間に位置する。このように、可変抵抗回路VTに固定抵抗T0を含ませることで、ゲインの最小振幅を固定抵抗T0によって自由に調整することができる。しかも、抵抗T0は、抵抗T8と演算増幅器1の反転入力端子との間に位置するので、演算増幅器1の出力端子N3の信号は、抵抗T1から抵抗T8を経由した後、固定抵抗T0を通り演算増幅器1の反転入力端子に帰還される。従って、固定抵抗T0の前に、スイッチS1～S8の寄生容量が存在することになり、固定抵抗T0の後段に発生する寄生容量がきわめて小さくなり、周波数特性の劣化を防止することができる。

【0055】

【発明の効果】本発明にあっては、回路面積を小さくすることができるとともに、周波数特性に優れた演算増幅回路およびこの演算増幅回路を用いた集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による可変抵抗回路の構成を示す回路図である。

【図2】図1に示すスイッチの一例を示す回路図である。

【図3】図1に示す可変抵抗回路を用いた演算増幅回路の一例を示す図である。

【図4】本発明における可変抵抗回路の周波数特性を測定した結果を示す図である。

【図5】図3に示す演算増幅回路を用いたRFアンプのトラッキング系の信号処理部の構成を示す回路図である。

【図6】図4に示すRFアンプを含むCD-ROMドライブ用半導体集積回路の構成を示すブロック図である。

13

【図7】本発明の第2実施形態による可変抵抗回路の構成を示す回路図である。

【図8】従来のCD-ROMドライブに用いられる半導体集積回路の構成を示すブロック図である。

【図9】従来の可変抵抗回路の構成を示す回路図である。

【符号の説明】

S1～S8 スイッチ

T0～T8 抵抗

VT, VT11～VT15 可変抵抗回路

*Si CMOSスイッチ

1, 11～18 演算増幅器

100 半導体集積回路

101 RFアンプ

102 DSP

103 DAC

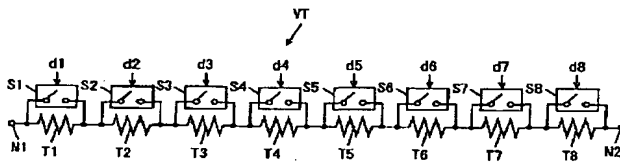
104 サーボ回路

105 マイコン

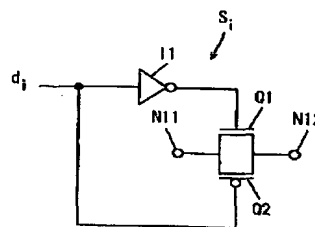
106 エラー訂正回路

*10 107 DRAM

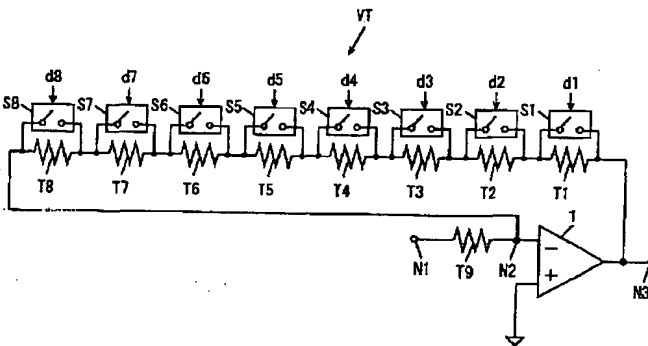
【図1】



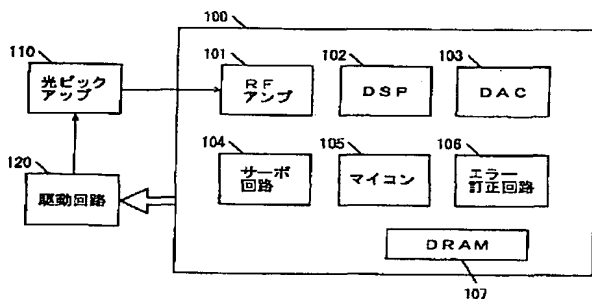
【図2】



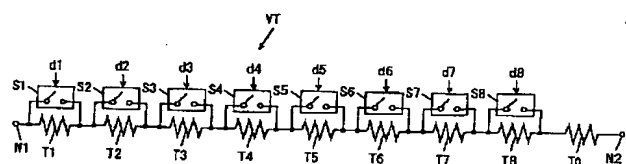
【図3】



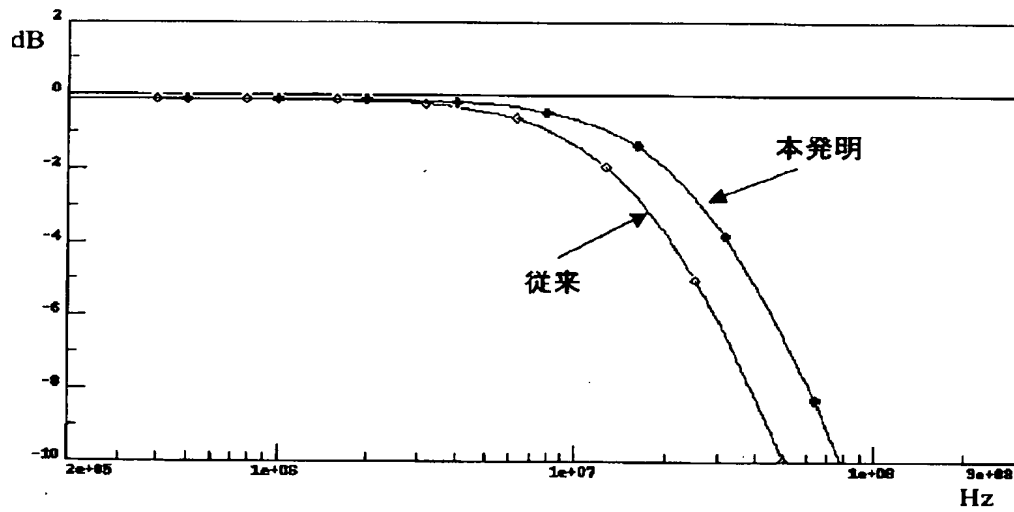
【図6】



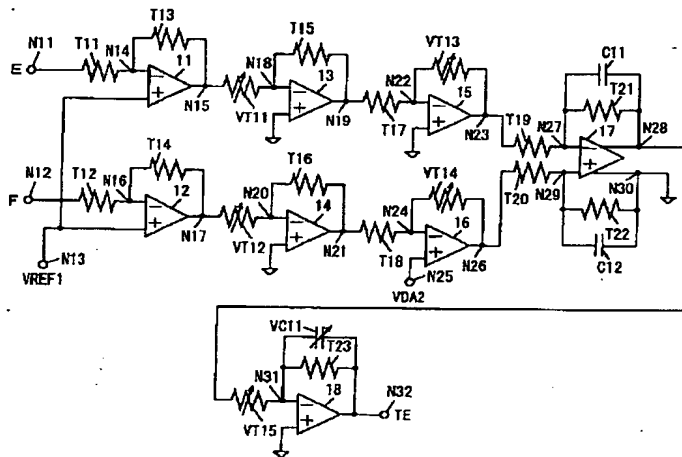
【図7】



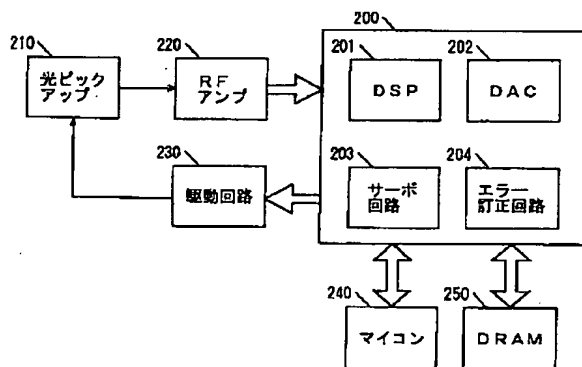
【図 4】



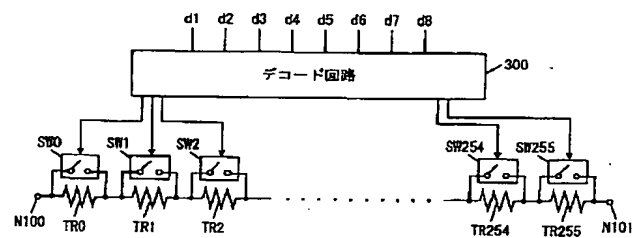
【図 5】



【図 8】



【図 9】



フロントページの続き

(72) 発明者 谷 邦之

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

F ターム (参考) 5J090 AA01 AA47 AA56 CA61 CA92
DN02 FA18 HA10 HA16 HA17
HA25 HA26 HA29 HA30 HA39
HN03 HN06 KA04 KA18 KA25
KA26 KA33 MA13 MN01 SA00
TA01 TA03
5J100 AA17 AA24 BA01 BB08 BC05
CA00 CA02 CA12 EA02 FA00